

Microprocessor arrangement for a vehicle-control system

Patent number: DE19631309
Publication date: 1998-02-05
Inventor: FENNEL HELMUT (DE); KANT BERNHARD (DE); ESSELBRUEGGE HERMANN (DE); ZYDEK MICHAEL (DE); GIERB BERNHARD (DE)
Applicant: TEVES GMBH ALFRED (DE)
Classification:
- **international:** G06F11/16; G06F11/16; (IPC1-7): B60T8/60; B60K28/16; B60T8/26; F15B21/08; G06F11/18
- **europaen:** G06F11/16B18
Application number: DE19961031309 19960802
Priority number(s): DE19961031309 19960802

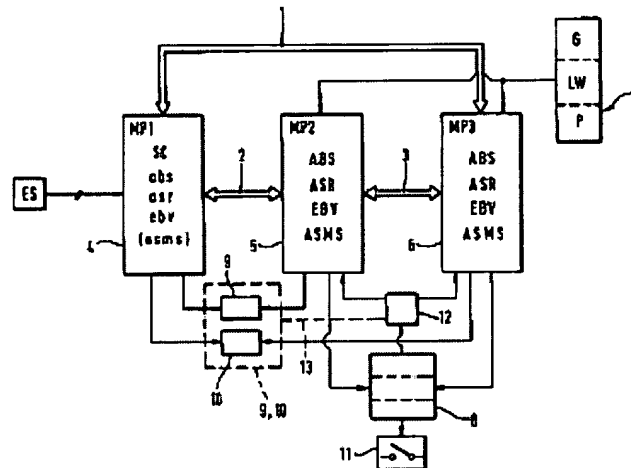
Also published as:

WO9805540 (A1)
EP0915789 (A1)
US6173229 (B1)
EP0915789 (B1)

Report a data error here

Abstract of DE19631309

The invention concerns a microprocessor arrangement for a vehicle-control system, the microprocessor arrangement comprising a plurality of microprocessor systems (4, 5, 6) which are interconnected by bus systems (1, 2, 3) and incorporate an antilock braking system and/or a traction control system, further control systems requiring complicated calculations, and an input signal shaping system (SC). In order to detect errors, some of the data-processing in a plurality of microprocessor systems is carried out in a "symmetrically" redundant manner and some of the data-processing is additionally carried out according to simplified algorithms ("asymmetrically" redundant manner). Two similar microprocessor systems (5, 6) for symmetrically redundant data-processing are provided. The input signal shaping system and system for processing according to simplified algorithms are housed in a third microprocessor system (4). The output and/or interim results are compared for redundancy; in addition, the data-processing carried out in these microprocessor systems is compared in each case with the results of the simplified data-processing and checked for plausibility.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

12 Offenlegungsschrift
10 DE 196 31 309 A 1

51 Int. Cl.⁸:
B 60 T 8/60
B 60 K 28/16
B 60 T 8/26
F 15 B 21/08
G 08 F 11/18

21 Aktenzeichen: 196 31 309.0
22 Anmeldetag: 2. 8. 98
43 Offenlegungstag: 5. 2. 98

DE 196 31 309 A 1

71 Anmelder:
ITT Automotive Europe GmbH, 60488 Frankfurt, DE

72 Erfinder:
Fennel, Helmut, 65812 Bad Soden, DE; Kant,
Bernhard, 65239 Hochheim, DE; Esselbrügge,
Hermann, 64331 Weiterstadt, DE; Zydek, Michael,
35428 Langgöns, DE; Giers, Bernhard, 60320
Frankfurt, DE

56 Für die Beurteilung der Patentfähigkeit
in Betracht zu ziehende Druckschriften:

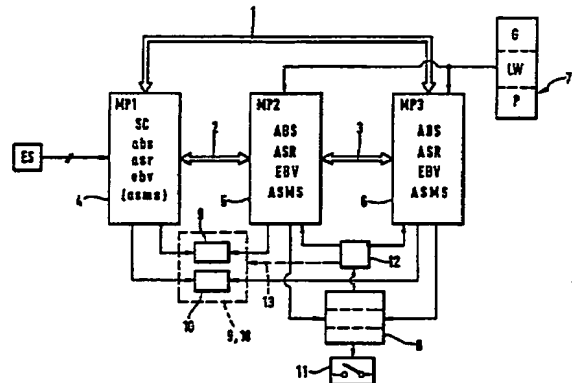
DE 198 06 098 A1
DE 44 39 060 A1
DE 42 12 337 A1
DE 41 37 124 A1
DE 39 01 257 A1
DE 36 10 620 A1

PREISS, Edmund: Redundantes
Mikrocontrollersystem. In: Elektronik Informationen,
Nr. 10/1991, S.98- S.100;
WEISS, R.: Fehlertolerante Rechnersysteme. In:
Regelungstechnische Praxis, 25.Jg., 1983, H.10,
S.408-416;

54 Mikroprozessoranordnung für ein Fahrzeug-Regelungssystem

67 Eine Mikroprozessoranordnung für ein Fahrzeug-Regelungssystem umfaßt mehrere, untereinander durch Bus-Systeme (1, 2, 3) verbundene Mikroprozessorsysteme (4, 5, 6), die eine Blockierschutz- und/oder Antriebsschlupfregelung und weitere, rechenaufwendige Regelungssysteme sowie eine Eingangssignal-Aufbereitung (SC) einschließen. Zur Fehlererkennung wird ein Teil der Datenverarbeitung in mehreren Mikroprozessorsystemen "symmetrisch" redundant und ein anderer Teil der Datenverarbeitung zusätzlich nach vereinfachten Algorithmen ("asymmetrisch" redundant) ausgeführt.

Es sind zwei gleichartige Mikroprozessorsysteme (5, 6) vorhanden, die zur symmetrisch redundanten Datenverarbeitung dienen. Die Eingangssignal-Aufbereitung und die Verarbeitung nach vereinfachten Algorithmen sind in einem dritten Mikroprozessorsystem (4) untergebracht. Die Ausgangs- und/oder Zwischenergebnisse werden auf Redundanz verglichen; außerdem werden die in diesen Mikroprozessorsystemen ablaufende Datenverarbeitung jeweils mit den Ergebnissen der vereinfachten Datenverarbeitung verglichen und auf Plausibilität überprüft.



DE 196 31 309 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 12. 97 702 066/401

7/26

Die Erfindung bezieht sich auf eine Mikroprozessoranordnung der im Oberbegriff des Anspruches 1 definierten Art. Solche Fahrzeug-Regelungssystemen umfassen u. a. Antiblockiersysteme (ABS), Antriebsschlupfregelungen (ASR), Systeme zur elektronischen Regelung der Bremskraftverteilung (EBV), Giermomentenregelungen und Fahrstabilitäts-Regelungssysteme (GMR, FSR oder ASMS) usw.

Es ist eine große Anzahl solcher Regelungssysteme und Systemvarianten bekannt. Die Bedeutung derartiger Systeme nimmt heutzutage wegen der Forderung nach erhöhter Sicherheit und erhöhtem Komfort rapide zu.

Es ist auch schon bekannt, mehrere Regelsysteme zu einem Verbund zusammenzuschließen, weil die verschiedenen Funktionen sich gegenseitig beeinflussen und weil Teile verschiedener Regelsysteme, z. B. Sensoren, Schaltkreise zur Ermittlung und Verarbeitung von Eingangs-Regelgrößen, Überwachungssysteme usw., gemeinsam genutzt werden können.

Zur Lösung komplexer Regelaufgaben werden vielfach Mikrorechner-Strukturen unterschiedlicher Art eingesetzt. Aus der DE 32 34 637 C2 ist z. B. ein Antiblockiersystem bekannt, dessen Regler zwei oder mehrere parallel arbeitende Mikrocontroller zur Erzeugung der Bremsdrucksteuersignale enthält. Diese Mikrocontroller verarbeiten die gleichen Eingangssignale nach einem identischen Computerprogramm. Die Ausgangssignale und interne Signale der Mikrocontroller werden auf Übereinstimmung überwacht, um Fehlfunktionen in einem der beiden Controller zu erkennen. Weichen die redundant in den Mikrocontrollern verarbeiteten Signale voneinander ab, wird die elektronische Regelung abgeschaltet, um sicherzustellen, daß auch beim Auftreten eines Fehlers in der Elektronik die Bremsenfunktion, wenn auch ungeregelt, erhalten bleibt.

Aus der DE 41 37 124 A1 ist auch bereits eine derartige Schaltungsanordnung mit sogenannter asymmetrischer Redundanz bekannt. Die Eingangssignale des Regelungssystems, nämlich die das Drehverhalten wiedergebenden, mit Radsensoren gewonnenen Signale, werden bei dieser Schaltungsanordnung zwei parallelen Mikrocontrollern zugeleitet, von denen jedoch nur einer das volle Regelungsprogramm abarbeitet, während der zweite Mikrocontroller die Eingangsinformationen in vereinfachter Form nachbildet und nach vereinfachten Algorithmen verarbeitet. Durch Vergleich der Datenverarbeitungsergebnisse beider Mikrocontroller auf Übereinstimmung oder zumindest auf Plausibilität läßt sich trotz der vereinfachten Datenverarbeitung eine Fehlfunktion oder ein Defekt in der Elektronik erkennen.

Ferner ist aus der DE 44 39 060 A1 (P 7714) eine Mikroprozessoranordnung der eingangs genannten Art bekannt, die mehrere, untereinander durch Bus-Systeme verbundene Mikroprozessoren-Systeme aufweist. Mit dieser Anordnung kann eine Blockierschutz- und eine Antriebsschlupfregelung sowie mindestens eine weitere, rechenaufwendige Regelungsfunktion, einschließlich der Überwachungsfunktionen, durchgeführt werden. Diese bekannte Mikroprozessoranordnung umfaßt drei Mikroprozessorsysteme, auf die die einzelnen Funktionen derart aufgeteilt sind, daß das erste Mikroprozessorsystem zusammen mit dem zweiten Mikroprozessorsystem die ABS- und ASR-Funktion, einschließlich der Überwachung dieser Funktionen übernimmt. Das dritte

Mikroprozessorsystem führt zusammen mit dem zweiten Mikroprozessorsystem die weitere, rechenaufwendige Regelungsfunktion (GMR) und deren Überwachung aus. Dabei wird zur Überwachung von der asymmetrisch redundanten (mit Hilfe verschiedenartiger Rechenprozesse oder Computersysteme) oder symmetrisch redundanten (mit Hilfe gleichartiger Rechenprozesse oder Computersysteme) Datenverarbeitung in jeweils zwei Mikroprozessorsysteme Gebrauch gemacht.

Durch die in der vorgenannten DE 44 39 060 A1 beschriebene Unterbringung der verschiedenen Funktionen in nur drei Mikroprozessorsystemen, einschließlich der redundanten Signalverarbeitung, die zur Überwachung dient, wird eine hohe Betriebssicherheit erreicht; außerdem wird es möglich, beim Erkennen bestimmter Fehlfunktionen einer Regelungskomponente nur diese abzuschalten und andere Regelungsfunktionen fortzuführen.

Der vorliegenden Erfindung liegt nun die Aufgabe zugrunde, eine Mikroprozessoranordnung für ein komplexes, aus mehreren Regelungskomponenten bestehendes Fahrzeug-Regelungssystem zu entwickeln, das eine noch bessere, feinere, abgestufte Zuordnung der Überwachung einzelner Regelungsfunktionen oder Regelungssysteme an den Sicherheitsbedarf bzw. Bedeutung dieser Funktionen für die Sicherheit des Fahrzeugs ermöglicht. Es sollte gewissermaßen ein abgestuftes Sicherheitskonzept verwirklicht werden.

Es hat sich gezeigt, daß diese Aufgabe durch die im Anspruch 1 beschriebene Mikroprozessoranordnung gelöst werden kann, deren Besonderheit darin besteht, daß zwei gleichartige Haupt-Mikroprozessorsysteme vorhanden sind, die zur redundanten Datenverarbeitung eingesetzt werden, daß ferner die Eingangssignalaufbereitung und die Verarbeitung nach vereinfachten Algorithmen, also auf Basis asymmetrischer Redundanz, in einem dritten Mikroprozessorsystem untergebracht sind und daß schließlich die Ausgangs- und/oder Zwischenergebnisse der in den Haupt-Mikroprozessorsystemen ablaufenden Datenverarbeitung untereinander auf Übereinstimmung verglichen und jeweils mit den Ausgangs- und/oder Zwischenergebnissen der vereinfachten Datenverarbeitung verglichen und auf Plausibilität überprüft werden.

Nach einer vorteilhaften Ausführungsart ist es zweckmäßig, wenn beim Vergleich und Auswerten der redundant verarbeiteten Daten zwischen "sicherheitskritischen" und "funktionswesentlichen" oder im Hinblick auf die Sicherheit weniger kritischen Daten unterschieden wird. Treten Abweichungen zwischen den redundant verarbeiteten sicherheitskritischen Daten auf, wird das gesamte Fahrzeug-Regelungssystem abgeschaltet, oder es werden zumindest die von den nicht übereinstimmenden Daten betroffenen Regelungen außer Funktion gesetzt. Bei Abweichungen zwischen weniger sensiblen, funktionswichtigen Daten wird durch individuellen Vergleich der Daten der beiden Haupt-Mikroprozessorsystemen mit den Ergebnissen der vereinfachten Datenverarbeitung das fehlerhafte Haupt-Mikroprozessorsystem ermittelt. Mit Hilfe des intakten Mikroprozessorsystems werden dann die Regelungsfunktionen vollständig oder eingeschränkt fortgesetzt.

Beim Auftreten von Diskrepanzen zwischen den Datenverarbeitungs-Ergebnissen der Haupt-Mikroprozessorsysteme können diese beiden Prozessorsysteme nacheinander weggeschaltet werden, worauf dann die Regelungsfunktionen, wenn nach dem Wegschalten des Systems die Datenverarbeitungsergebnisse mit dem Er-

gebnis der vereinfachten Datenverarbeitung übereinstimmen bzw. plausibel sind, auf Basis des ordnungsgemäßen, intakten Haupt-Mikroprozessorsystems und der Überwachung auf Plausibilität durch das dritte Mikroprozessorsystem zumindest eingeschränkt fortgesetzt werden. Es werden natürlich nur die funktionswesentlichen, nicht die sicherheitskritischen Datenverarbeitungsvorgänge und Regelungsfunktionen fortgesetzt.

Andererseits kann auch die Schaltung derart ausgelegt werden, daß beim Auftreten von Diskrepanzen zwischen den Datenverarbeitungsergebnissen der Haupt-Mikroprozessorsysteme die Datenverarbeitungsvorgänge und Regelfunktionen auf Basis der Ergebnisse fortgesetzt werden, die den durch die vereinfachte Datenverarbeitung ermittelten Ergebnissen näher sind. Eine solche Vorgehensweise ist allerdings nicht in allen Fällen zweckmäßig, weil eine derartige Auslegung zu Problemen führen kann, wenn sich aufgrund der Störungen Zufallsergebnisse einstellen. Sicherer ist es daher, die beiden Haupt-Mikroprozessorsysteme, wie zuvor genannt, nacheinander wegzuschalten und dadurch das fehlerhafte System zu ermitteln.

Nach einem anderen Ausführungsbeispiel der Erfindung ist es vorgesehen, beim Auftreten von Diskrepanzen zwischen den Datenverarbeitungsergebnissen in Abhängigkeit von dem Maß der Abweichung oder der Anzahl der Nicht-Übereinstimmungen pro Zeiteinheit bestimmte Regelungsfunktionen oder Systemfunktionen aufzuheben, wobei wiederum zwischen "sicherheitskritischen" und bezogen auf die Sicherheit "unkritischen" Regelungsvorgängen und Systemfunktionen unterschieden wird.

Weitere Einzelheiten, Vorteile und Anwendungsmöglichkeiten der Erfindung gehen aus der folgenden Beschreibung anhand eines Ausführungsbeispiels der Erfindung hervor. Die beigefügte Figur zeigt in vereinfachter schematischer Darstellung den prinzipiellen Aufbau einer Mikroprozessoranordnung nach der Erfindung.

Wie der Darstellung zu entnehmen ist, umfaßt die erfindungsgemäße Mikroprozessoranordnung drei Mikroprozessorsysteme 4, 5, 6 (MP1, MP2 und MP3), die untereinander durch ein Bus-System, im dargestellten Beispiel durch einen Ringbus 1, 2, 3 miteinander verbunden sind. Ein sternförmiger Bus anstelle des Ringbusses 1, 2, 3 käme ebenfalls in Frage.

Mit "ES" sind in der Abbildung die Eingangssignale symbolisiert, die über eine Vielfachleitung dem Mikroprozessor 4 (MP1) zugeführt werden. Bei einem Fahrzeug-Regelungssystem mit ABS, ASR, EBV etc. werden dem ersten Mikroprozessorsystem 4 (MP1) als Eingangsinformationen Sensorsignale zugeführt, die das Drehverhalten der einzelnen Fahrzeugräder wiedergeben. Für eine Fahrstabilitätsregelung (GMR, FDR oder ASMS genannt) werden zusätzliche Informationen über den Gierwinkel, Gierwinkelgeschwindigkeit, Lenkwinkel, Bremsdruck usw. benötigt. Diese Informationen werden mit entsprechenden Sensoren gewonnen oder, soweit möglich, aus den vorliegenden Informationen, insbesondere aus den Radsensorinformationen, rechnerisch ermittelt. Diese zusätzlichen Sensoren und Informationen werden in der Darstellung durch eine Sensoreinheit 7 symbolisiert, die in diesem Beispiel einen Gierwinkelsensor G, einen Lenkwinkelsensor LW und einen Drucksensor P umfaßt. In diesem Fall wird das Ausgangssignal der Sensoreinheit 7 direkt den beiden Mikroprozessorsystemen MP2 und MP3 parallel zugeführt. In einem anderen, nicht dargestellten Ausführungs-

beispiel ist die Signalaufbereitung für diese Informationen ebenfalls in dem Eingangsmikroprozessorsystem 4 (MP1) untergebracht.

Bei der erfindungsgemäßen Mikroprozessoranordnung ist eine redundante Datenverarbeitung in zwei vollwertigen Mikroprozessorsystemen 5, 6 (MP2, MP3) vorgesehen. Im vorliegenden Beispiel dient die Mikroprozessoranordnung sowohl zur Blockierschutzregelung (ABS), als auch zur Antriebsschlupfregelung (ASR), Regelung der Bremskraftverteilung (EBV) und Fahrstabilitätsregelung (ASMS; automatisches Stabilitäts-Management-System).

In dem dritten Mikroprozessorsystem MP1, das im Gegensatz zum MP2 und MP3 durch ein vereinfachtes System realisiert ist, findet vor allem die Aufbereitung und Verarbeitung der Eingangssignale (Signal Conditioning) statt. Außerdem sind in dem Mikroprozessorsystem "Nachbildungen" abs, asr, ebv (asms), nämlich der in den beiden Prozessorsystemen MP2 und MP3 installierten Regelungssystemen ABS, ASR, EBV, ASMS untergebracht. "asms" wurde im MP1 in Klammern gesetzt, weil in einem bevorzugten Ausführungsbeispiel dieses Regelungssystem aus Sicherheitsgründen ausschließlich durch symmetrische Redundanz, nicht durch eine Nachbildung mit vereinfachten Algorithmen, überwacht wurde. Es ist jedoch durchaus möglich, zumindest einige Funktionen des Stabilitätssystems (ASMS) durch asymmetrische Redundanz zu überwachen.

In der Abbildung sind außerdem die erfindungswesentlichen Redundanzglieder oder Vergleiche 8, 9 und 10 symbolisch dargestellt. In der Schaltung 8 werden die Endergebnisse und/oder Zwischenergebnisse der beiden Haupt-Mikroprozessorsysteme MP2 und MP3 auf Übereinstimmung verglichen. Die Überwachung beruht auf der sogenannten "symmetrischen" Redundanz. Treten Diskrepanzen auf bzw. besteht keine vollständige Übereinstimmung der dem Redundanzglied 8 zugeführten Datenverarbeitungsergebnisse, wird, wenn es sich um sicherheitskritische Daten, Regelungs- oder Systemfunktionen handelt, die gesamte Regelung abgeschaltet. Dies symbolisiert ein Kontakt 11, der das Regelungssystem nur dann freigibt oder einschaltet, wenn die verglichenen Signale vollständig übereinstimmen.

Mit Hilfe der Vergleiche oder Redundanzglieder 9, 10 werden außerdem die Datenverarbeitungsergebnisse (End- und/oder Zwischenergebnisse) der Haupt-Mikroprozessorsysteme 2, 3 mit den auf Basis der vereinfachten Algorithmen gewonnenen Datenverarbeitungsergebnisse auf Übereinstimmung bzw. auf Plausibilität überwacht. Im Vergleich 9 findet die Überprüfung der Ergebnisse bzw. der Arbeitsweise des Mikroprozessorsystems MP2, im Vergleich 10 die Überprüfung des Mikroprozessorsystems MP3 statt. Die gestrichelte, von der Schaltung 12 zu der Schaltung (9, 10) führende Datenleitung 13 deutet an, daß diese Überprüfung auf Plausibilität nur für die funktionswesentlichen, nicht jedoch für die sicherheitskritischen Daten bzw. Regelungs- oder Systemfunktionen der Haupt-Mikroprozessoren 5, 6 (MP2, MP3) gilt. Natürlich gibt es eine Vielfalt von Möglichkeiten, zwischen sicherheitskritischen und funktionswesentlichen oder weniger kritischen Funktionen zu unterscheiden und das Sicherheitskonzept entsprechend abzustufen. Beispielsweise kann das wiederholte Auftreten einer Fehlfunktion, die an sich weniger kritisch ist, als erhöhtes Sicherheitsrisiko bewertet werden und daher zur Abschaltung führen.

Ein vorteilhaftes Ausführungsbeispiel der Erfindung besteht darin, daß beim Auftreten eines funktionswe-

sentlichen, für die Sicherheit nicht kritischen Fehlers über den Schaltkreis 12 und die Vergleiche 9, 10 der Fehler lokalisiert wird. Hierzu werden nacheinander die Mikroprozessorsysteme MP2 und MP3 weggeschaltet und, wenn nunmehr die Übereinstimmung oder Plausibilität der Datenverarbeitungs-Ergebnisse vom Vergleich 9 oder 10 festgestellt wird, die Regelungsfunktion, zumindest für eine vorgegebene Zeitspanne oder bis zu einem bestimmten Ereignis — zum Beispiel bis zum Ende des gerade laufenden Regelzyklus — fortgesetzt.

Ein Beispiel für eine sicherheitskritische Funktion ist bei einer Fahrstabilitätsregelung (ASMS) das Einsetzen des Bremsvorganges. Ein "ungerechtfertigtes Einbremsen" muß aus Sicherheitsgründen verhindert werden. Wird in einem solchen Fall durch den Vergleich 8 eine Diskrepanz ermittelt, wird das ASMS außer Funktion gesetzt. Außerdem wird in diesem Beispiel der Fehler mit Hilfe des dritten Mikroprozessorsystems 4 (MP1) lokalisiert und eine ABS-Bremsung auf Basis der von dem intakten Mikroprozessorsystem MP2 oder MP3 errechneten Daten, wenn diese der Überprüfung auf Basis des vereinfachten Logarithmus mit Hilfe des Mikroprozessorsystems MP1 standhalten, zugelassen. Dies ist ein Beispiel von vielen.

Mit Hilfe der erfindungsgemäßen Mikroprozessoranordnung läßt sich folglich ein hohes Sicherheitsniveau erreichen. Einerseits führen Fehler, die für die Fahr-sicherheit kritisch sind, zur Abschaltung der Regelung. Andererseits ist es gewährleistet, daß bei anderen, relativ unkritischen Fehlfunktionen die Regelung vollständig oder eingeschränkt — z. B. bis zur Beendigung eines Regelungsvorgangs — fortgeführt wird. Diese "Abstufung" des Sicherheitskonzeptes ist ganz besonders bei komplexen Regelungssystemen, die sehr unterschiedliche Regelungsfunktionen vereinen, ein entscheidender Vorteil.

Patentansprüche

1. Mikroprozessoranordnung für ein Fahrzeug-Regelungssystem, mit mehreren, untereinander durch Bus-Systeme verbundenen Mikroprozessorsystemen, die eine Blockierschutz- und/oder Antriebs-schlupfregelung und mindestens eine weitere, rechenaufwendige Regelung sowie eine Eingangssignal-Aufbereitung einschließen, wobei zur Fehlererkennung ein Teil der Datenverarbeitung in mehreren Mikroprozessorsystemen redundant (symmetrische Redundanz) und ein Teil der Datenverarbeitung zusätzlich nach vereinfachten Algorithmen (asymmetrische Redundanz) ausgeführt werden, dadurch gekennzeichnet, daß die Mikroprozessoranordnung zwei gleichartige Haupt-Mikroprozessorsysteme (5, 6) enthält, die zur redundanten Datenverarbeitung dienen, daß die Eingangssignal-Aufbereitung (SC) und die Verarbeitung nach vereinfachten Algorithmen in einem dritten Mikroprozessorsystem (4) untergebracht sind und daß die Ausgangs- und/oder Zwischenergebnisse der in den Haupt-Mikroprozessorsystemen (5, 6) ablaufenden Datenverarbeitung untereinander auf Übereinstimmung verglichen und jeweils mit den Ausgangs- und/oder Zwischenergebnissen der vereinfachten Datenverarbeitung auf Plausibilität verglichen bzw. überprüft werden.
2. Mikroprozessoranordnung nach Anspruch 1, dadurch gekennzeichnet, daß bei Vergleich und Auswerten der redundant verarbeiteten Daten zwi-

schen sicherheitskritischen und funktionswesentlichen Daten unterschieden wird.

3. Mikroprozessoranordnung nach Anspruch 2, dadurch gekennzeichnet, daß bei Diskrepanzen zwischen den redundant verarbeiteten sicherheitskritischen Daten das gesamte Fahrzeug-Regelungssystem oder zumindest die von den nicht übereinstimmenden Daten betroffenen Regelungen abgeschaltet werden.

4. Mikroprozessoranordnung nach Anspruch 2, dadurch gekennzeichnet, daß bei Diskrepanzen zwischen den funktionswesentlichen Daten durch den individuellen Vergleich der Daten der beiden Haupt-Mikroprozessorsysteme (5, 6) mit den Ergebnissen der vereinfachten Datenverarbeitung in dem dritten Mikroprozessorsystem (4) das fehlerhafte Haupt-Mikroprozessorsystem (5 oder 6) ermittelt und die Regelungsfunktionen mit Hilfe des intakten Haupt-Mikroprozessorsystems (5 oder 6) und des dritten Mikroprozessorsystems (4) vollständig oder eingeschränkt fortgesetzt werden.

5. Mikroprozessoranordnung nach Anspruch 4, dadurch gekennzeichnet, daß beim Auftreten von Diskrepanzen zwischen den Datenverarbeitungsergebnissen der Haupt-Mikroprozessorsysteme (5, 6) nacheinander diese beiden Haupt-Mikroprozessorsysteme weggeschaltet werden und daß, wenn nach dem Wegschalten eines der Haupt-Mikroprozessorsysteme (5, 6) die Datenverarbeitungsergebnisse mit den Ergebnissen der vereinfachten Datenverarbeitung übereinstimmen bzw. plausibel sind, die Regelungsfunktionen auf Basis des ordnungsgemäßen, intakten Haupt-Mikroprozessorsystems (5 oder 6) und der Überwachung auf Plausibilität zumindest eingeschränkt fortgesetzt werden.

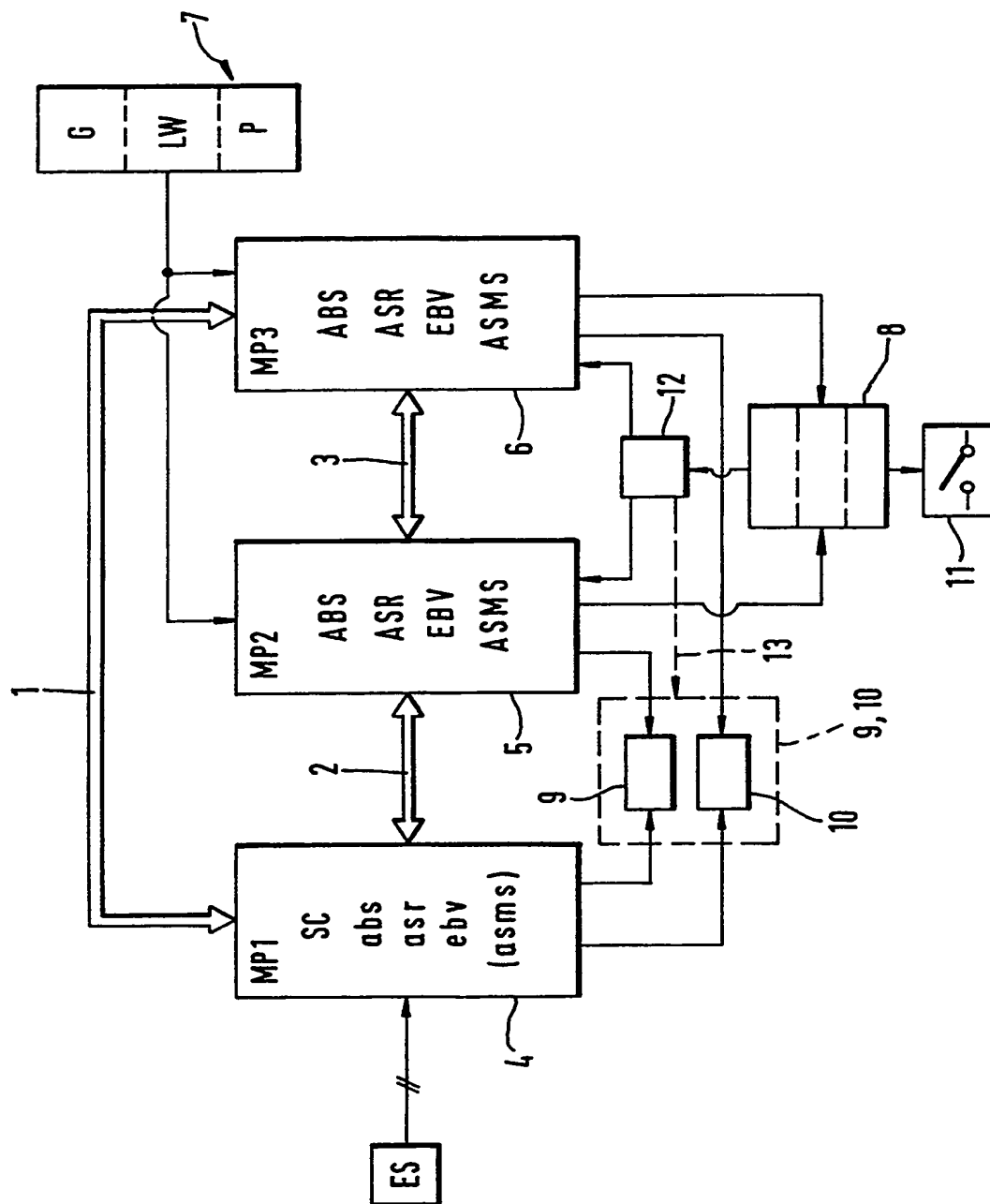
6. Mikroprozessoranordnung nach Anspruch 5, dadurch gekennzeichnet, daß auf Basis des ordnungsgemäßen Haupt-Mikroprozessorsystems (5, 6) und der Überwachung durch das dritte Mikroprozessorsystem (4) nur die funktionswesentlichen, nicht die sicherheitskritischen Datenverarbeitungs-Vorgänge und Regelungsfunktionen fortgesetzt werden.

7. Mikroprozessoranordnung nach Anspruch 4, dadurch gekennzeichnet, daß beim Auftreten von Diskrepanzen zwischen den Datenverarbeitungsergebnissen der Haupt-Mikroprozessorsysteme (5, 6) die Datenverarbeitung und Regelung auf Basis der Ergebnisse, die den durch die vereinfachte Datenverarbeitung ermittelten Ergebnissen näher sind, fortgesetzt werden.

8. Mikroprozessoranordnung nach einem oder mehreren der Ansprüche 1 bis 7, dadurch gekennzeichnet, daß beim Auftreten von Diskrepanzen in Abhängigkeit von dem Maß oder der Anzahl der Nichtübereinstimmungen pro Zeiteinheit bestimmte Regelungsfunktionen oder Systemfunktionen aufgehoben werden, wobei zwischen sicherheitskritischen und unkritischen, funktionswesentlichen Regelungs- und Systemfunktionen unterschieden wird.

Hierzu 1 Seite(n) Zeichnungen

- Leerseite -



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☒ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.